

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Dong-Yang Lee

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: SEMICONDUCTOR MEMORY DEVICES WITH DELAYED AUTO-
PRECHARGE FUNCTION AND ASSOCIATED METHODS OF AUTO-
PRECHARGING SEMICONDUCTOR MEMORY DEVICES

Date: November 13, 2003

Mail Stop PATENT APPLICATION

Commissioner for Patents

P. O. Box 1450

Alexandria, VA 22313-1450

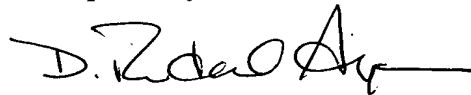
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0081787, filed December 20, 2002.

Respectfully submitted,



D. Randal Ayers

Registration No. 40,493

USPTO Customer No. 20792

Myers Bigel Sibley & Sajovec, P.A.

Post Office Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

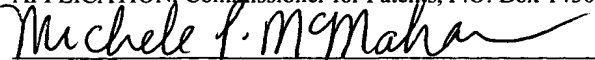
Facsimile: (919) 854-1401

Our File No. 5649-1165

"Express Mail" mailing label number EV 353593167 US

Date of Deposit: November 13, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Washington, DC 20231.



Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0081787
Application Number

출원 년 월 일 : 2002년 12월 20일
Date of Application

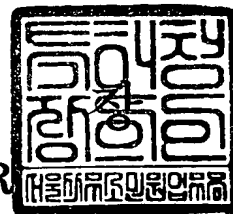
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 01 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.20
【발명의 명칭】	지연된 오토프리차지 기능을 갖는 반도체 메모리 장치
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE HAVING DELAYED AUTOPRECHARGE FUNCTION
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이동양
【성명의 영문표기】	LEE, DONG YANG
【주민등록번호】	660720-1774621
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1167번지 진산마을 526동 308호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

1020020081787

출력 일자: 2003/9/5

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	12	면	12,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	9	항	397,000	원
---------	---	---	---------	---

【합계】	438,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

여기에 개시된 반도체 메모리 장치는, 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력될 때 독출 또는 기입 동작을 수행한 후 미리 설정된 오토프리차지 지연시간이 경과했을 때 오토프리차지 동작을 수행한다. 따라서, 오토프리차지 기능을 갖는 독출 또는 기입 명령을 사용하면서도 페이지 모드를 수행할 수 있다. 그 결과, 메모리 장치의 동작 레이턴시가 감소해서 메모리 장치의 전체 성능이 향상된다.

【대표도】

도 3

【명세서】

【발명의 명칭】

지연된 오토프리차지 기능을 갖는 반도체 메모리 장치{SEMICONDUCTOR MEMORY DEVICE HAVING DELAYED AUTOPRECHARGE FUNCTION}

【도면의 간단한 설명】

도 1a는 일반적인 DDR DRAM에서 오토프리차지 기능이 없는 일반적인 독출 명령이 수행되는 동작 타이밍도;

도 2는 본 발명의 바람직한 실시예에 따른 메모리 시스템을 보여주는 블록도;

도 3은 도 2에 도시된 메모리 장치의 구체적인 구성을 보여주는 도면;

도 4는 프리차지 제어 신호에 의해 비트 라인들이 프리차지되는 것을 보여주기 위해 메모리 셀 어레이의 일부를 보여주는 도면;

도 5a는 도 3에 도시된 DDR DRAM에서 오토프리차지 기능을 갖는 독출 명령이 수행되는 일 예를 보여주는 동작 타이밍도; 그리고

도 5b는 뱅크(BANK0)의 행 어드레스 i가 오픈된 상태에서 뱅크(BANK0)의 다른 행을 액세스하기 위한 명령이 입력될 때의 타이밍도이다.

*도면의 주요부분에 대한 설명

100 : 메모리 컨트롤러 111-114 : 타이머

121-124 : 레지스터 200 : 메모리

210 : 어드레스 레지스터 215 : 뱅크 선택기

220 : 행 디코더 230 : 메모리 셀 어레이
 235 : 감지 증폭기 240 : 입/출력 버퍼
 250 : 명령 디코더 260 : 프리차지 제어기
 270 : 열 디코더 280 : 프로그래밍 레지스터
 290 : 타이밍 레지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 오토프리차지 기능을 갖는 반도체 메모리 장치에 관한 것이다.
- <17> 반도체 메모리 장치, 특히 DRAM은 메모리 셀로부터/에 데이터를 신속하게 독출(read)/기입(write)하거나 또는 액티브된 뱅크를 닫기(close) 위하여 비트 라인들을 소정 전압(예를 들면, $V_{cc}/2$)으로 프리차지(precharge)한다. 액티브된 뱅크의 새로운 행(row)을 열기(open) 전에, 액티브된 뱅크는 프리차지 명령 또는 오토프리차지(auto-precharge) 기능을 사용하여 프리차지되어야만 한다. DDR SDRAM의 독출 또는 기입 명령은 컬럼 어드레스 스트로브(/CAS) 타이밍에서 특정 어드레스 신호(예를 들면 A10)를 받아들여서 버스트(burst) 독출 또는 기입 사이클 동안 액티브 뱅크 프리차지가 자동으로 프리차지되도록 한다. 만일 독출 또는 기입 명령이 발생했을 때 A10이 하이(high)이면, 오토프리차지 기능은 수행된다. 오토프리차지동안, 독출 명령은, 독출 버스트의 끝 전에 컬럼 어드레스 스

트로브(/CAS) 클럭 사이클의 라이징 에지에서 프리차지가 시작하는 것을 제외하고는 노말 독출 동작과 동일하다. 오토프리차지는 기입 명령에도 동일하게 적용된다. 버스트 기입 시퀀스의 마지막 데이터가 메모리 어레이에 저장될 때까지 오토프리차지 명령은 시작하지 않는다. 이러한 특성은 프리차지 동작이 부분적으로 또는 전체적으로 버스트 독출 사이클동안 드러나지 않도록 함으로써 랜덤 데이터 액세스를 위한 시스템 성능을 향상시킨다.

<18> 도 1a는 일반적인 DDR DRAM에서 오토프리차지 기능이 없는 일반적인 독출 명령이 수행되는 동작 타이밍도이다. 설명의 편의를 위하여, DDR DRAM은 로우 사이클 시간(row cycle time : 이하 'tRC'라 칭함)이 10 클럭 사이클($10 \cdot t_{CK}$)로, 라스-투-캐스 지연 시간(/RAS to /CAS delay time : 이하, 'tRCD'라 칭함)이 3 클럭 사이클($3 \cdot t_{CK}$)로, 그리고 /CAS 레이턴시(latency)(이하, 'CL'이라 칭함)가 2 클럭 사이클로 설정되는 예에 대하여 설명한다. 또한, DDR DRAM의 메모리 셀 어레이가 4 개의 뱅크들로 분할된 경우에 한하여 설명하며, 제 1 내지 제 4 액티브 로우 명령들(A0, A1, A2, A3), 제 1 내지 제 4 독출 명령(R0, R1, R2, R3) 그리고 제 1 내지 제 4 프리차지 명령들(P0, P1, P2, P3)은 4 개의 뱅크들에 각각 대응한다.

<19> 도 1a를 참조하면, 제 1 액티브 로우 명령(A0)이 클럭(T0)에서 입력되고, 이로부터 tRCD 후 클럭(T3)에서 제 1 액티브 로우에 대한 독출 명령(R0)이 입력된다. 제 2 액티브 로우 명령(A1)은 클럭(T2)에서 입력되고 이로부터 tRCD 시간 후, 클럭(T5)에서 제 2 액티브 로우 명령(A1)에 대한 제 2 독출 명령(R1)이 입력된다. 그리고, 제 3 액티브 로우 명령(A2)이 입력되는 클럭(T4)로부터 tRCD

시간 후 클럭(T7)에서 제 3 액티브 로우 명령(A2)에 대한 제 3 독출 명령(R2)이 입력되고, 제 4 액티브 로우 명령(A3)이 입력되는 클럭(T6)으로부터 tRCD 시간 후 클럭(T9)에서 제 4 액티브 로우 명령(A3)에 대한 제 4 독출 명령(R3)이 입력된다. 제 1 독출 명령(R0)이 입력되는 클럭(T3)으로부터 CL=2에 해당하는 클럭 사이클 후, 클럭(T5)에서 데이터 입출력 신호(DQ) 라인으로 제 1 데이터(Q0)가 출력된다. 제 2 독출 명령(R1)이 입력되는 클럭(T5)로부터 CL=2에 해당하는 클럭 사이클 후 클럭(T7)에서 제 2 데이터(Q1)가, 제 3 독출 명령(R2)이 입력되는 클럭(T7)로부터 CL=2에 해당하는 클럭 사이클 후 클럭(T9)에서 제 3 데이터(Q2)가 그리고 제 4 독출 명령(R3)이 입력되는 클럭(T9)로부터 CL=2에 해당하는 클럭 사이클 후 클럭(T11)에서 제 4 데이터(Q4)가 각각 출력된다.

<20> 제 2 로우 사이클(tRCD)에서 제 1 액티브 로우 명령(A0)이 클럭(T10)에서 입력된다. 이 때, 클럭(T0)에서의 제 1 액티브 로우 명령(A0)의 행 어드레스와 클럭(T10)에서의 제 1 액티브 로우 명령(A0)의 행 어드레스가 서로 다르면 제 1 액티브 로우 명령(A0)이 입력되기 전에 제 1 프리차지 명령(P0)이 입력되어야 한다. 도 1a에서는 클럭(T8)에서 제 1 프리차지 명령(P0)이 입력된다. 마찬가지로 클럭(T2)에서의 제 2 액티브 로우 명령(A1)과 클럭(T14)에서의 제 2 액티브 로우 명령(A2)의 행 어드레스가 서로 다르면 제 2 액티브 로우 명령(A2)이 입력되기 전에 클럭(T11)에서 제 2 프리차지 명령(P1)이 입력된다.

<21> 이와 같이, 오토프리차지 기능이 없는 일반적인 독출 명령은 실질적으로 액티브 로우-독출-프리차지 명령들로 구성됨을 알 수 있다. 그러므로, 도 1a에 도시

된 바와 같이, 클럭들(T13-T14) 및 클럭들(T17-T18)에서 시스템 내 버스 라인을 통해 전송되는 데이터가 없는 휴지기(suspension) 또는 아이들(idle) 구간이 존재하게 된다. 이는 데이터 버스의 전송 효율을 떨어뜨린다.

<22> 이러한 문제를 해결하고자 오토프리차지 기능을 갖는 명령들이 제안되었다. 오토프리차지 기능을 갖는 독출 명령(Read with Autoprecharge : RA) 또는 오토프리차지 기능을 갖는 기입 명령(Write with Autoprecharge : WA)은 독출 또는 기입 명령을 수행한 후 별도의 프리차지 명령을 입력하지 않아도 자동으로 프리차지를 수행한다. 도 1b는 일반적인 DDR DRAM에서 오토프리차지 기능을 갖는 독출 명령이 수행되는 동작 타이밍도이다.

<23> 도 1b를 참조하면, 제 1 액티브 로우 명령(A0)이 클럭(T0)에서 입력되고, 이로부터 tRCD 후 클럭(T3)에서 제 1 액티브 로우에 대한 오토프리차지 기능을 갖는 독출 명령(RA0)이 입력된다. 제 2 액티브 로우 명령(A1)은 클럭(T2)에서 입력되고 이로부터 tRCD 시간 후, 클럭(T5)에서 제 2 액티브 로우 명령(A1)에 대한 제 2 오토프리차지 기능을 갖는 독출 명령(RA1)이 입력된다. 그리고, 제 3 액티브 로우 명령(A2)이 입력되는 클럭(T4)으로부터 tRCD 시간 후 클럭(T7)에서 제 3 액티브 로우 명령(A2)에 대한 제 3 오토프리차지 기능을 갖는 독출 명령(RA2)이 입력되고, 제 4 액티브 로우 명령(A3)이 입력되는 클럭(T6)으로부터 tRCD 시간 후 클럭(T9)에서 제 4 액티브 로우 명령(A3)에 대한 제 4 오토프리차지 기능을 갖는 독출 명령(RA3)이 입력된다. 제 1 독출 명령(RA0)이 입력되는 클럭(T3)으로부터 CL=2에 해당하는 클럭 사이클 후, 클럭(T5)에서 데이터 입출력 신호(DQ) 라인으로 제 1 데

이터(Q0)가 출력된다. 제 2 독출 명령(RA1)이 입력되는 클럭(T5)로부터 CL=2에 해당하는 클럭 사이클 후 클럭(T7)에서 제 2 데이터(Q1)가, 제 3 독출 명령(RA2)이 입력되는 클럭(T7)로부터 CL=2에 해당하는 클럭 사이클 후 클럭(T9)에서 제 3 데이터(Q2)가 그리고 제 4 독출 명령(RA3)이 입력되는 클럭(T9)로부터 CL=2에 해당하는 클럭 사이클 후 클럭(T11)에서 제 4 데이터(Q4)가 각각 출력된다.

<24> 클럭(T3)에서 오토프리차지 기능을 갖는 독출 명령(RA0)에 의해서 대응하는 뱅크가 프리차지되어 있으므로 별도의 프리차지 명령이 입력되지 않고 클럭(T10)에서 제 1 액티브 로우 명령(A0)이 입력되더라도 반도체 메모리 장치는 정상적으로 동작할 수 있다. 그러므로 데이터 버스의 효율을 최대로 향상시킬 수 있다. 그러나, 오토프리차지 기능을 갖는 독출 또는 기입 명령에 의하면 독출 또는 기입 동작 후에 열려진 행 즉, 액티브 로우 명령에 의해 센싱되어 있는 모든 셀들이 자동으로 닫히므로, 몇 클럭 후에 동일한 행을 액세스하고자 하더라도 반드시 다시 액티브 로우 명령을 입력해야만 한다. 즉, 이미 센싱되어 있는 행을 다시 액세스할 때 액티브 로우 명령없이 바로 액세스하는 페이지 모드(page mode)를 사용하지 못하므로써 메모리 장치의 레이턴시가 증가해서 메모리 장치의 전체 성능이 저하되는 문제점이 있다.

<25> 전형적인 많은 프로그램을 분석하면, 주어진 시간 동안의 메모리 참조는 국한된 영역에서만 이루어지는 경향이 있음을 알 수 있다. 이러한 현상을 참조의 국한성(locality of reference)이라 한다. 이러한 현상은 전형적인 컴퓨터 프로그램에서 프로그램 루프와 서브루틴이 많이 쓰이며 순차적으로 진행된다는 사실을 기억

하면 이해할 수 있다. 페이지 모드는 캐쉬(cache) 이론의 참조의 국한성을 메모리에 실제 적용하기 위한 것이다. 즉, 메모리 장치의 특정 셀이 액세스되고 나서 다음에 액세스될 셀은 이전에 액세스된 셀이거나 또는 공간적으로(즉, 어드레스적으로) 인접한 셀일 확률이 높다. DRAM에서 페이지란 한 번의 액티브 로우 명령 즉, 하나의 행 어드레스에 의해 동시에 선택되는 셀의 수이며, 이는 $2^{\text{행 어드레스 비트 수}} \times \text{I/O 비트 수}$ 로 계산된다. 즉, 행 어드레스의 비트 수가 10이고, 8 개의 데이터 핀을 가지는 DRAM의 경우 페이지 사이즈는 $2^{10} \times 8$ 즉, 8192 비트가 된다. 그러므로, 8192 비트에 해당하는 셀들 중 특정 셀이 액세스되면 다음에 액세스될 셀은 그 8192 비트에 해당하는 셀들 중 어느 것일 확률이 높다. 독출 또는 기입 동작을 위해서 페이지 모드를 사용하는 경우, 액티브 로우 명령에 의해 열려진 페이지는 프리차지시키지 않고 계속 열린 상태로 유지된다. 다음 독출 또는 기입 동작을 위한 어드레스가 이미 열린 페이지안의 어떤 어드레스일 때 액티브 로우 명령없이 바로 독출 또는 기입 동작을 수행할 수 있다. 즉, 한 번의 액티브 로우 명령에 의해서 페이지 내의 어떤 셀도 독출 또는 기입될 수 있다. 이와 같은 페이지 모드는 메모리 장치의 동작 속도를 향상시키는데 큰 도움이 된다.

<26> 그러나, 앞서 설명한 바와 같이 오토프리차지 기능을 갖는 독출 또는 기입 명령에 의하면 독출 또는 기입 동작이 수행된 후 열려진 페이지가 매번 닫히므로 페이지 모드는 전혀 사용될 수 없었다.

【발명이 이루고자 하는 기술적 과제】

<27> 따라서 본 발명의 목적은 상술한 바와 같은 문제점들을 해결하기 위한 것으로, 오토프리차지 기능을 갖는 명령을 사용하면서도 페이지 모드를 수행할 수 있는 반도체 메모리 장치를 제공하는데 있다.

【발명의 구성 및 작용】

<28> 상술한 바와 같은 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 반도체 메모리 장치는, 행들 및 열들로 배열된 메모리 셀 어레이, 외부로부터 입력된 행 어드레스를 디코딩하는 행 디코더, 외부로부터 수신된 명령어를 디코딩하고, 디코딩된 명령어가 오토프리차지 기능을 갖는 명령어일 때 오토프리차지 제어 신호를 활성화하는 명령어 디코더 그리고 상기 오토프리차지 제어 신호에 응답해서 리셋되는 타이머를 구비하며, 상기 타이머의 값이 미리 설정된 시간에 도달할 때 상기 메모리 셀 어레이가 프리차지되도록 제어하는 프리차지 제어 회로를 포함한다.

<29> 바람직한 실시예에 있어서, 상기 메모리 셀 어레이가 언제 프리차지될 것인지에 대한 시간 정보를 저장하는 프로그래밍 레지스터를 더 포함한다.

<30> 이 실시예에 있어서, 상기 프리차지 제어 회로는, 상기 타이머의 값이 상기 프로그래밍 레지스터에 저장된 시간 정보와 일치할 때 상기 메모리 셀 어레이가 프리차지되도록 제어한다.

<31> 이 실시예에 있어서, 상기 프로그래밍 레지스터는 모드 레지스터 셋이고, 상기 반도체 메모리 장치는 DRAM이다.

<32> 본 발명의 다른 특징에 따른 반도체 메모리 장치는, 각각이 행들 및 열들로 배열되는 복수 개의 메모리 셀들을 갖는 다수 개의 뱅크들과, 외부로부터 입력된 뱅크 어드레스에 응답해서 상기 뱅크들 중 어느 한 뱅크를 선택하는 뱅크 선택기와, 외부로부터 입력된 행 어드레스에 응답해서 상기 선택된 뱅크의 어느 한 행을 선택하는 행 선택기와, 외부로부터 수신된 명령어를 디코딩하고, 디코딩된 명령어가 오토프리차지 기능을 갖는 명령어일 때 오토프리차지 제어 신호를 활성화하는 명령어 디코더, 그리고 각각이 상기 뱅크들에 대응하는 타이머들을 구비하며, 상기 선택된 뱅크에 대응하는 타이머는 상기 오토프리차지 제어 신호에 응답해서 리셋되고, 상기 타이머의 값이 미리 설정된 시간에 도달할 때 대응하는 뱅크가 프리차지되도록 제어하는 프리차지 제어 회로를 포함한다.

<33> 바람직한 실시예에 있어서, 상기 메모리 셀 어레이가 언제 프리차지될 것인지에 대한 시간 정보를 저장하는 프로그래밍 레지스터를 더 포함한다.

<34> 이 실시예에 있어서, 상기 프리차지 제어 회로는, 상기 타이머의 값이 상기 프로그래밍 레지스터에 저장된 시간 정보와 일치할 때 상기 메모리 셀 어레이가 프리차지되도록 제어한다.

<35> 이 실시예에 있어서, 상기 프로그래밍 레지스터는 모드 레지스터 셋이다.

<36> (실시예)

<37> 이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 이 실시예에서는 4 개의 뱅크들을 포함하는 DDR DRAM(Double-Data-Rate Dynamic Random Access Memory)에 관하여 설명한다. 상기 DRAM은 독출 또는 기

입 명령이 발생했을 때 특정 어드레스 신호(예를 들면, A10)가 하이이면 오토프리차지를 수행한다. 다만, 본 발명에서의 DRAM은 앞서 설명한 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력되더라도 독출 또는 기입 동작후 바로 오토프리차지를 수행하지 않고, 미리 설정된 시간이 경과한 후 오토프리차지를 수행한다. 그러므로 오토프리차지 기능을 갖는 독출 또는 기입 명령을 사용하면서도 페이지 모드를 수행할 수 있다.

<38> 도 2는 본 발명의 바람직한 실시예에 따른 메모리 시스템을 보여주는 블록도이다. 도 2를 참조하면, 메모리 시스템은 메모리 컨트롤러(100)와 메모리 장치(200)를 포함한다. 메모리 컨트롤러(100)는 외부 프로세서(미 도시됨)로부터 어드레스 신호(ADDR), 데이터 신호(DATA), 명령어(CMD) 및 클럭 신호(CLK)를 받아들이어서 메모리 장치(200)를 액세스한다. 이러한 메모리 컨트롤러(100)는 타이머들(111-114)과 레지스터들(121-124)을 포함한다. 타이머들(111-114)과 레지스터들(121-124)에 관해서는 추후 상세히 설명한다. 이 실시예에서, 메모리 장치(200)는 DDR II DRAM이다. 메모리 장치(200)의 구체적인 구성은 도 3에 도시되어 있다.

<39> 도 3을 참조하면, 메모리 장치(200)는 어드레스 레지스터(210), 뱅크 선택기(215), 로우 디코더(220), 메모리 셀 어레이(230), 감지 증폭기(235), 데이터 입/출력 버퍼(240), 명령 디코더(250), 프리차지 제어기(260), 컬럼 디코더(270), 프로그래밍 레지스터(280) 그리고 타이밍 레지스터(290)를 포함한다.

<40> 메모리 셀 어레이(230)는 4 개의 뱅크들(BANK0, BANK1, BANK2, BANK3)로 나뉘어지며, 각각의 뱅크는 행들과 열들로 배열된 메모리 셀들을 포함한다. 어드

레스 레지스터(210)는 메모리 컨트롤러(100)로부터 입력되는 어드레스 신호들(A0-An)과 뱅크 어드레스 신호들(BA0, BA1)을 저장한다. 뱅크 선택기(215)는 어드레스 레지스터(210)에 저장된 뱅크 어드레스 신호들(BA0, BA1)에 응답해서 4개의 뱅크들(BANK0-BANK3)들 가운데 하나를 선택하기 위한 뱅크 선택 신호를 출력한다. 로우 디코더(220)는 어드레스 레지스터(210)에 저장된 어드레스 신호들(A0-An) 중 행 어드레스를 디코딩해서 뱅크 선택기(215)에 의해 선택된 뱅크의 행들 중 하나를 선택하기 위한 행 선택 신호들을 출력한다. 컬럼 디코더(270)는 어드레스 레지스터(210)에 저장된 어드레스 신호들(A0-An) 중 열 어드레스를 디코딩해서 메모리 셀 어레이(230)의 열들 중 하나를 선택하기 위한 열 선택 신호들을 출력한다.

<41> 감지 증폭기(235)는 메모리 셀 어레이(230)의 셀들 중 행 디코더(220)와 열 디코더(270)에 의해 선택된 셀에 저장된 데이터를 독출한다. 독출된 데이터는 입/출력 버퍼(240)를 통해 데이터 라인(DQ)으로 전달되고, 데이터 라인(DQ)으로부터 입력되는 데이터는 입/출력 버퍼(240)를 통해 메모리 셀 어레이(230)의 선택된 셀에 기입된다.

<42> 명령 디코더(250)는 타이밍 레지스터(290)로 입력되는 제어 신호들(CLK, CKE, /CS, /RAS, /CAS, /WE)의 조합에 의해 제어 신호들(AP, NP)을 발생한다. 프로그래밍 레지스터(또는 모드 레지스터 셋)(280)는 타이밍 레지스터(290)로 입력되는 제어 신호들의 조합에 의해 메모리 장치(200)의 다양한 동작 모드들을 제어하기 위한 데이터를 저장한다. 이 실시예에서 상기 프로그래밍 레지스터(280)는 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력될 때 액티브 로우 명



령이 입력된 후 언제 메모리 셀을 프리차지할 것인 지를 나타내는 시간 정보를 저장한다.

<43> 프리차지 제어기(260)는 타이머들(261-264)을 포함하며, 명령 디코더(250)로부터의 제어 신호들(AP, NP)과 프로그래밍 레지스터(280)에 저장된 프리차지 시간 정보에 응답해서 뱅크들(BANK0-BANK3) 중 뱅크 선택기(215)에 의해 선택된 뱅크를 프리차지하기 위해, 프리차지 제어 신호들(BLP0, BLP1, BLP2, BLP3) 중 하나를 활성화한다.

<44> 본 발명에 따른 메모리 장치(200)의 프리차지 모드는 크게 두 가지이다. 하나는 메모리 컨트롤러(100)로부터 입력되는 프리차지 명령에 의한 노말 프리차지 모드이고, 다른 하나는 오토프리차지 기능을 갖는 독출 또는 기입 명령에 의한 오토프리차지 모드이다. 먼저 노말 프리차지 모드에 관해 설명한다. 클럭 신호(CK)의 라이징 에지에서 제어 신호들(/CS, RAS 및 /WE)이 로우이고 제어 신호(/CAS)가 하이일 때, 명령 디코더(250)는 노말 프리차지 신호(NP)를 출력한다. 노말 프리차지 모드에서 프리차지 명령은 각 뱅크를 독립적으로 또는 전체 뱅크들을 동시에 프리차지하기 위해 사용될 수 있다. 프리차지 명령이 입력될 때 어드레스 신호(A10)와 뱅크 어드레스 신호들(BA0, BA1)은 어떤 뱅크를 프리차지할 것인 지를 정의하기 위해 사용된다. 다음 표 1은 어드레스 신호(A10)와 뱅크 어드레스 신호들(BA0, BA1)에 따라서 프리차지되는 뱅크를 보여준다.

<45>

【표 1】

AO	BA0	BA1	프리차지되는 뱅크
LOW	LOW	LOW	BANK0
LOW	LOW	HIGH	BANK1
LOW	HIGH	LOW	BANK2
LOW	HIGH	HIGH	BANK3
HIGH	DON'T CARE	DON'T CARE	BANK0-BANK3

<46> 프리차지 제어기(260)는 노말 프리차지 신호(NP)가 활성화될 때, 표 1에 나타난 바와 같이, 뱅크 선택기(215)로부터의 뱅크 선택 신호와 어드레스 신호(A10)의 조합에 의해 4 개의 프리차지 제어 신호들(BLP0-BLP3) 중 하나 또는 전부를 활성화한다.

<47> 도 4는 프리차지 제어 신호에 의해 비트 라인들이 프리차지되는 것을 보여주기 위해 메모리 셀 어레이(230)의 일부를 보여주는 도면이다. 잘 알려진 바와 같이, DRAM 셀은 하나의 트랜지스터(T1)와 하나의 커패시터(C1)로 구성된다. 트랜지스터(T1)의 게이트는 워드 라인(WL)과 연결되고, 드레인은 비트라인(BL) 또는 (/BL)에 연결된다. 커패시터(C1)는 트랜지스터의 소스와 접지 전압 사이에 연결된다. 프리차지 회로(231)는 NMOS 트랜지스터들(M1, M2, M3)을 포함한다. 프리차지 트랜지스터(M1)는 프리차지 전압(BVLP)과 비트 라인(/BL) 사이에 연결되고, 그것의 게이트는 프리차지 제어 신호(BLP)와 연결된다. 프리차지 트랜지스터(M2)는 프리차지 전압(VBLP)과 비트 라인(BL) 사이에 연결되고, 그것의 게이트는 프리차지 제어 신호(BLP)와 연결된다. 이퀄라이징 트랜지스터(M3)는 비트

라인들(/BL, BL) 사이에 연결되고 그것의 게이트는 프리차지 제어 신호(BLP)와 연결된다. 프리차지 제어 신호(BLP)가 하이로 활성화되면 프리차지 트랜지스터들(M1, M2)에 의해서 비트 라인들(/BL, BL)은 프리차지 전압(VBLP)으로 프리차지 되고, 이퀄라이징 트랜지스터(M3)에 의해서 비트 라인들(/BL, BL)의 전압은 동등하게 된다. 예컨대, 프리차지 전압(VBLP)은 $V_{cc}/2$ 이다.

<48> 절연 트랜지스터들(M4, M5)은 절연 신호(BISL)가 하이로 활성화될 때 비트 라인들(/BL, BL)과 감지 증폭기(235)의 연결을 각각 분리한다. 감지 증폭기(235)는 독출 명령에 응답해서 비트 라인들(/BL, BL)의 전압 차를 감지한다. 게이트 트랜지스터들(M6, M7)은 비트 라인들(/BL, BL)과 데이터 라인들(/DB, DB) 사이에 각각 연결되고 그들의 게이트들은 열 선택 신호(CDi)에 연결된다. 독출 모드에서 열 선택 신호(CDi)에 의해서 게이트 트랜지스터들(M6, M7)이 열리면 감지 증폭기(235)에 의해 독출된 데이터가 데이터 라인들(/DB, DB)에 각각 실리고, 기입 모드에서 게이트 트랜지스터들(M6, M7)이 열리면 데이터 라인들(/DB, DB)의 데이터가 비트 라인들(/BL, BL)을 통해 메모리 셀에 기입된다.

<49> 다시 도 3을 참조하여, 오토프리차지 모드에 관해 설명한다.

<50> 타이밍 레지스터(290)를 통해서 액티브 로우 명령을 위한 제어 신호들이 입력될 때, 어드레스 신호들(A0-An) 중 행 어드레스 및 बैं크 어드레스 신호들(BA0, BA1)이 어드레스 레지스터(210)로 입력된다. 그러므로, बैं크 선택기(215)와 행 디코더(220)에 의해서 특정 बैं크의 특정 행이 선택된다. 계속해서, 독출 또는 기입

명령을 위한 제어 신호들이 입력될 때, 어드레스 신호(A10)가 로우이면 노말 독출 또는 기입 동작이 수행되고, 뱅크는 액티브 로우 상태로 남아 있다. 만일 독출 또는 기입 명령을 위한 제어 신호들이 입력될 때, 어드레스 신호(A10)가 하이이면 명령 디코더(250)는 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력된 것으로 간주하고, 오토프리차지 제어 신호(AP)를 활성화한다. 오토프리차지 기능을 갖는 독출 또는 기입 명령이 수행되는 동안 독출 또는 기입 동작은 종래와 동일하게 수행된다. 다만, 본 발명에서는 노말 독출 또는 노말 기입 동작이 완료된 후 오토프리차지되는 시점이 지연된다.

<51> 프리차지 제어기(260)는 뱅크들(BANK0-BANK3)에 각각 대응하는 4 개의 타이머들(261-264)을 포함한다. 프리차지 제어기(260)는 오토프리차지 제어 신호(AP)가 활성화될 때 뱅크 선택기(215)로부터 입력되는 뱅크 선택 신호들에 대응하는 타이머를 리셋한다. 예컨대, 뱅크 선택기(215)가 뱅크(BANK0)를 선택하기 위한 선택 신호를 출력하는 경우 타이머(261)가 리셋되고, 뱅크(BANK1)를 선택하기 위한 선택 신호를 출력하는 경우 타이머(262)가 리셋되고, 뱅크(BANK2)를 선택하기 위한 선택 신호를 출력하는 경우 타이머(263)가 리셋되고, 그리고 뱅크(BANK3)를 선택하기 위한 선택 신호를 출력하는 경우 타이머(264)가 리셋된다. 리셋된 타이머는 동작을 개시한다.

<52> 앞서 설명한 바와 같이, 프로그래밍 레지스터(280)는 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력될 때 액티브 로우 명령이 입력된 후 언제 메모리 셀을 프리차지할 것인 지를 나타내는 시간 정보를 저장한다.

- <53> 프리차지 제어기(260)는 타이머들(261-264)의 시간 값을 조사하고, 상기 프로그래밍 레지스터(280)에 설정된 시간 정보에 도달한 타이머가 있을 때 그 타이머에 대응하는 뱅크가 프리차지되도록 프리차지 제어 신호를 발생한다. 오토프리차지 기능을 갖는 독출 명령이 수행되는 일 예를 도 5a를 참조하여 상세히 설명한다.
- <54> 도 5a에서 제 1 내지 제 4 액티브 로우 명령들(A0, A1, A2, A3), 제 1 내지 제 4 오토프리차지 기능을 갖는 독출 명령들(RA0, RA1, RA2, RA3) 그리고 제 1 내지 제 4 프리차지 명령들(P0, P1, P2, P3)은 4 개의 뱅크들에 각각 대응한다.
- <55> 도 5a를 참조하면, 제 1 액티브 로우 명령(A0)이 클럭(T0)에서 입력되고, 이로부터 tRCD 후 클럭(T3)에서 제 1 액티브 로우에 대한 오토프리차지 기능을 갖는 독출 명령(RA0)이 입력된다. 제 2 액티브 로우 명령(A1)은 클럭(T2)에서 입력되고 이로부터 tRCD 시간 후, 클럭(T5)에서 제 2 액티브 로우 명령(A1)에 대한 제 2 오토프리차지 기능을 갖는 독출 명령(RA1)이 입력된다. 그리고, 제 3 액티브 로우 명령(A2)이 입력되는 클럭(T4)로부터 tRCD 시간 후 클럭(T7)에서 제 3 액티브 로우 명령(A2)에 대한 제 3 오토프리차지 기능을 갖는 독출 명령(RA2)이 입력되고, 제 4 액티브 로우 명령(A3)이 입력되는 클럭(T6)으로부터 tRCD 시간 후 클럭(T9)에서 제 4 액티브 로우 명령(A3)에 대한 제 4 오토프리차지 기능을 갖는 독출 명령(RA3)이 입력된다. 제 1 독출 명령(RA0)이 입력되는 클럭(T3)으로부터 CL=2에 해당하는 클럭 사이클 후, 클럭(T5)에서 데이터 입출력 신호(DQ) 라인으로 제 1 데이터(Q0)가 출력된다. 제 2 독출 명령(RA1)이 입력되는 클럭(T5)로부터 CL=2에 해당하는 클럭 사이클 후 클럭(T7)에서 제 2 데이터(Q1)

가, 제 3 독출 명령(RA2)이 입력되는 클럭(T7)로부터 CL=2에 해당하는 클럭 사이클 후 클럭(T9)에서 제 3 데이터(Q2)가 그리고 제 4 독출 명령(RA3)이 입력되는 클럭(T9)로부터 CL=2에 해당하는 클럭 사이클 후 클럭(T11)에서 제 4 데이터(Q4)가 각각 출력된다.

<56> 여기서, 제 1 내지 제 4 데이터들(Q0, Q1, Q2, Q3)은 메모리 장치(200)의 입출력 사양(configuration)에 따라 다양한 비트들, 예컨대, $\times 4$, $\times 8$, $\times 16$, $\times 32$ 등으로 출력될 수 있다. 그리고 제 1 내지 제 4 데이터들(Q0, Q1, Q2, Q3)은 tRCD 시간 만큼의 간격을 두고 순차적으로 발생될 수도 있다.

<57> 클럭(T0)에서 제 1 액티브 로우 명령(A0)이 입력된 후 클럭(T4)에서 제 1 오토프리차지 기능을 갖는 독출 명령(RA0)이 입력되면 명령 디코더(250)는 오토프리차지 제어 신호(AP)를 활성화한다. 프리차지 제어기(260)는 활성화된 오토프리차지 제어 신호(AP)에 응답해서 뱅크 선택기(215)로부터의 뱅크 선택 신호에 의해 선택된 뱅크(BANK0)에 대응하는 타이머(261)를 리셋한다. 프리차지 제어기(260)는 프로그래밍 레지스터(280)에 설정된 시간 정보를 받아들여서 타이머(261)의 값이 오토프리차지 지연 시간(tAP)에 도달하면 뱅크(BANK0)를 프리차지하기 위한 프리차지 제어 신호(BLP0)를 활성화한다. 프리차지 제어 신호(BLP0)가 활성화되면 뱅크(BANK0) 내의 비트 라인들은 $V_{cc}/2$ 로 프리차지된다.

<58> 만일 타이머(261)의 값이 오토프리차지 지연 시간(tAP)에 도달하기 전에 뱅크(BANK0)의 동일한 행을 액세스하기 위한 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력되면 명령 디코더(250)에 의해서 오토프리차지 제어 신호(AP)가 활성화된다. 그러므로, 타이머(261)는 다시 리셋된다. 만일 타이머(261)의 값

이 오토프리차지 지연 시간(tAP)에 도달하기 전에 뱅크(BANK0)의 동일한 행을 액세스하기 위한 노말 독출 또는 기입 명령이 입력되더라도 마지막으로 입력된 오토프리차지 기능을 갖는 독출 또는 기입 명령으로부터 오토프리차지 지연 시간(tAP)이 경과하면 뱅크(BANK0)는 프리차지된다.

<59> 다시 도 2를 참조하면, 메모리 컨트롤러(100)에 구비된 타이머들(111-114)과 레지스터들(121-124)은 뱅크들(BANK0-BANK3)에 각각 대응한다. 외부로부터 입력되는 명령(CMD)이 오토프리차지 기능을 갖는 독출 또는 기입 명령일 때, 발생한 뱅크 어드레스 신호들(BA0, BA1)에 따라서 타이머들(111-114) 중 어느 하나가 리셋된다. 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력될 때 어드레스 신호(ADDR) 중 행 어드레스는 발생한 뱅크 어드레스 신호들(BA0, BA1)에 따라서 레지스터들(121-124) 중 어느 하나에 저장된다. 예컨대, 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력될 때 뱅크 어드레스 신호들(BA0, BA1)이 뱅크(BANK0)를 선택하기 위한 신호이면 타이머(111)가 리셋되고, 어드레스 신호(ADDR) 중 행 어드레스는 레지스터(121)에 저장된다. 또 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력될 때 뱅크 어드레스 신호들(BA0, BA1)이 뱅크(BANK1)를 선택하기 위한 신호이면 타이머(112)가 리셋되고, 어드레스 신호(ADDR)는 레지스터(122)에 저장된다.

<60> 예를 들어, 뱅크(BANK0)의 행 어드레스 i, 열 어드레스 j에 저장된 데이터를 독출하기 위한 오토프리차지 기능을 갖는 명령이 메모리 컨트롤러(100)로 입력되는 경우 메모리 컨트롤러(100)와 메모리(200)의 동작은 다음과 같다. 우선, 메모리

컨트롤러(100)는 행 어드레스 i 를 레지스터(121)에 저장한다. 그리고, 도 5a에 도시된 바와 같이, 클럭(T_0)에서 메모리 컨트롤러(100)로부터 메모리 장치(200)로 제 1 액티브 로우 명령(A_0)이 입력된다. 클럭(T_3)에서 제 1 액티브 로우 명령(A_0)에 대한 오토프리차지 기능을 갖는 독출 명령(RA_0)이 입력된 후 클럭(T_5)에서 데이터(Q_0)가 출력된다. 오토프리차지 지연 시간(t_{AP})동안 행 어드레스 i 를 액세스하기 위한 명령이 입력되지 않으면, 메모리 컨트롤러(100)는 타이머(111)의 동작을 오프시키고, 레지스터(121)에 저장된 행 어드레스를 삭제하고, 프리차지 제어기(260)는 뱅크($BANK_0$)를 프리차지하기 위한 프리차지 제어 신호(BLP_0)를 출력하고, 타이머(261)의 동작을 오프시킨다. 프리차지 제어기(260)가 프리차지 제어 신호(BLP_0)를 출력하고, 타이머(261)의 동작을 오프시키는 시점은 타이머(261)의 값이 프로그래밍 레지스터(280)에 저장된 시간 정보에 도달했을 때이다.

- <61> 상술한 바와 같이, 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력되더라도 독출 또는 기입 동작을 수행한 후 프리차지 지연 시간(t_{AP})동안 프리차지를 하지 않으므로써 페이지 모드를 수행할 수 있다. 다만, 프리차지 지연 시간(t_{AP})동안 동일한 뱅크의 동일한 행 어드레스를 액세스하기 위한 독출 또는 기입 명령이 입력되지 않는 경우에 추후 입력되는 명령은 동일한 뱅크의 동일한 행 어드레스를 액세스하기 위한 독출 또는 기입 명령일 확률이 낮은 것으로 간주하고 자동으로 프리차지를 수행한다. 만일 페이지가 열려진 상태에서 입력된 독출 또는 기입 명령이 오프된 페이지가 아닌 다른 페이지에 대한 독출 또는 기입 명령이면 독출 또는 기입 동작은 프리차지-액티브 로우-독출 또는 기입 명령 순서

로 진행되어야 한다. 즉, 프리차지 시간(t_{RP})만큼 액세스 레이턴시가 증가한다. 그러므로, 프리차지 지연 시간(t_{AP})은 이러한 레이턴시 증가를 고려하여 적절히 설정되어야만 한다.

<62> 도 5b는 뱅크(BANK0)의 행 어드레스 i 가 열려진 상태에서 뱅크(BANK0)의 다른 행을 액세스하기 위한 명령이 입력될 때의 타이밍도이다. 클럭(T_0)에서 뱅크(BANK0)의 행 어드레스 i 를 열기 위한 제 1 액티브 로우 명령(A_0)이 입력되고, 클럭(T_3)에서 오토프리차지 기능을 갖는 독출 명령이 입력된 후 뱅크(BANK0)의 행 어드레스 i '를 입력하기 위해서는 먼저 뱅크(BANK0)을 프리차지해야 한다. 메모리 컨트롤러(160)는 뱅크(BANK0)의 열린 행 어드레스 i 가 아닌 다른 행 어드레스가 입력되면 뱅크(BANK0)을 프리차지하기 위해서 클럭(T_{10})에서 제 1 프리차지 명령(P_0)을 출력한다. 또, 메모리 컨트롤러(100)는 타이머(111)의 동작을 오프시키고, 레지스터(121)에 저장된 행 어드레스를 삭제한다. 한편, 메모리 장치(100)의 명령 디코더(250)는 제 1 프리차지 명령(P_0)에 응답해서 노말 프리차지 신호(NP)를 출력하고, 뱅크(BANK0)에 대응하는 타이머(261)의 동작을 오프시킨다. 프리차지 시간(t_{RP})이 2 클럭 사이클일 때, 클럭(T_{12})에서 뱅크(BANK0)의 행 어드레스 i '를 열기 위한 제 1 액티브 로우 명령(A_0)이 입력되고, 클럭(T_{15})에서 오토프리차지 기능을 갖는 독출 명령(RA_0)이 입력됨으로써 클럭(T_{17})에서 데이터(Q_0)가 출력된다.

<63> 예시적인 바람직한 실시예들을 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에는 다양한 변형 예들 및 그 유사한 구성들이 모두 포함될

수 있도록 하려는 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

【발명의 효과】

<64> 이와 같은 본 발명에 의하면, 오토프리차지 기능을 갖는 독출 또는 기입 명령이 입력될 때 독출 또는 기입 동작을 수행한 후 오토프리차지 지연시간이 경과했을 때 오토프리차지 동작을 수행한다. 따라서, 오토프리차지 기능을 갖는 독출 또는 기입 명령을 사용하면서도 페이지 모드를 수행할 수 있다. 그 결과, 메모리 장치의 동작 레이턴시가 감소해서 메모리 장치의 전체 성능이 향상된다.

【특허청구범위】**【청구항 1】**

행들 및 열들로 배열된 메모리 셀 어레이와;

외부로부터 입력된 행 어드레스를 디코딩하는 행 디코더와;

외부로부터 수신된 명령어를 디코딩하고, 디코딩된 명령어가 오토프리차지 기능을 갖는 명령어일 때 오토프리차지 제어 신호를 활성화하는 명령어 디코더;
그리고

상기 오토프리차지 제어 신호에 응답해서 리셋되는 타이머를 구비하며, 상기 타이머의 값이 미리 설정된 시간에 도달할 때 상기 메모리 셀 어레이가 프리차지되도록 제어하는 프리차지 제어 회로를 포함하는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 메모리 셀 어레이가 언제 프리차지될 것인지에 대한 시간 정보를 저장하는 프로그래밍 레지스터를 더 포함하는 반도체 메모리 장치.

【청구항 3】

제 2 항에 있어서,

상기 프리차지 제어 회로는, 상기 타이머의 값이 상기 프로그래밍 레지스터에 저장된 시간 정보와 일치할 때 상기 메모리 셀 어레이가 프리차지되도록 제어하는 반도체 메모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 프로그래밍 레지스터는 모드 레지스터 셋인 반도체 메모리 장치.

【청구항 5】

제 1 항에 있어서,

상기 반도체 메모리 장치는 DRAM인 반도체 메모리 장치.

【청구항 6】

각각이 행들 및 열들로 배열되는 복수 개의 메모리 셀들을 갖는 다수 개의
뱅크들과;

외부로부터 입력된 뱅크 어드레스에 응답해서 상기 뱅크들 중 어느 한 뱅크를 선택하는 뱅크 선택기와;

외부로부터 입력된 행 어드레스에 응답해서 상기 선택된 뱅크의 어느 한 행을 선택하는 행 선택기와;

외부로부터 수신된 명령어를 디코딩하고, 디코딩된 명령어가 오토프리차지 기능을 갖는 명령어일 때 오토프리차지 제어 신호를 활성화하는 명령어 디코더;
그리고

각각이 상기 뱅크들에 대응하는 타이머들을 구비하며, 상기 선택된 뱅크에 대응하는 타이머는 상기 오토프리차지 제어 신호에 응답해서 리셋되고, 상기 타

이머의 값이 미리 설정된 시간에 도달할 때 대응하는 뱅크가 프리차지되도록 제어하는 프리차지 제어 회로를 포함하는 반도체 메모리 장치.

【청구항 7】

제 6 항에 있어서,

상기 메모리 셀 어레이가 언제 프리차지될 것인지에 대한 시간 정보를 저장하는 프로그래밍 레지스터를 더 포함하는 반도체 메모리 장치.

【청구항 8】

제 7 항에 있어서,

상기 프리차지 제어 회로는, 상기 타이머의 값이 상기 프로그래밍 레지스터에 저장된 시간 정보와 일치할 때 상기 메모리 셀 어레이가 프리차지되도록 제어하는 반도체 메모리 장치.

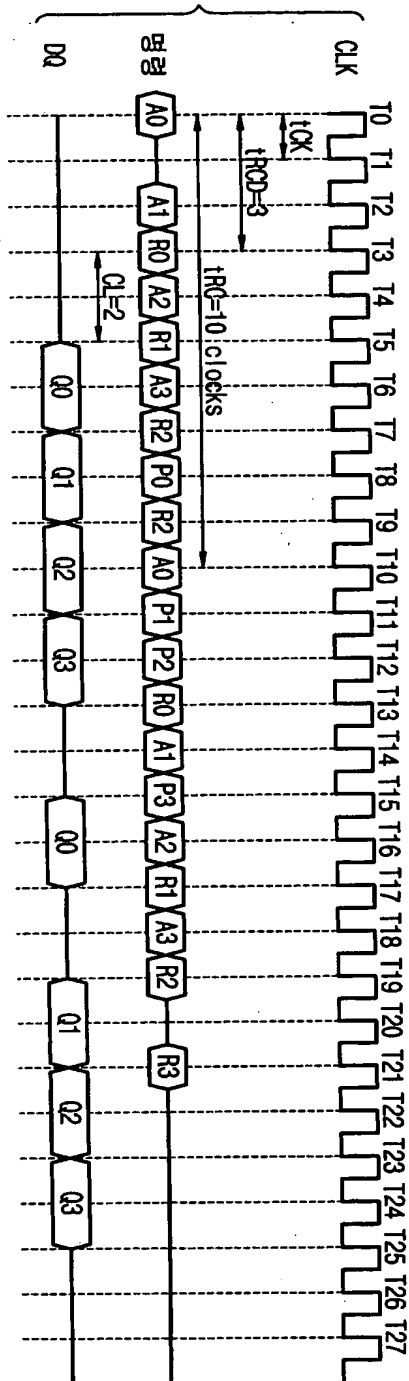
【청구항 9】

제 7 항에 있어서,

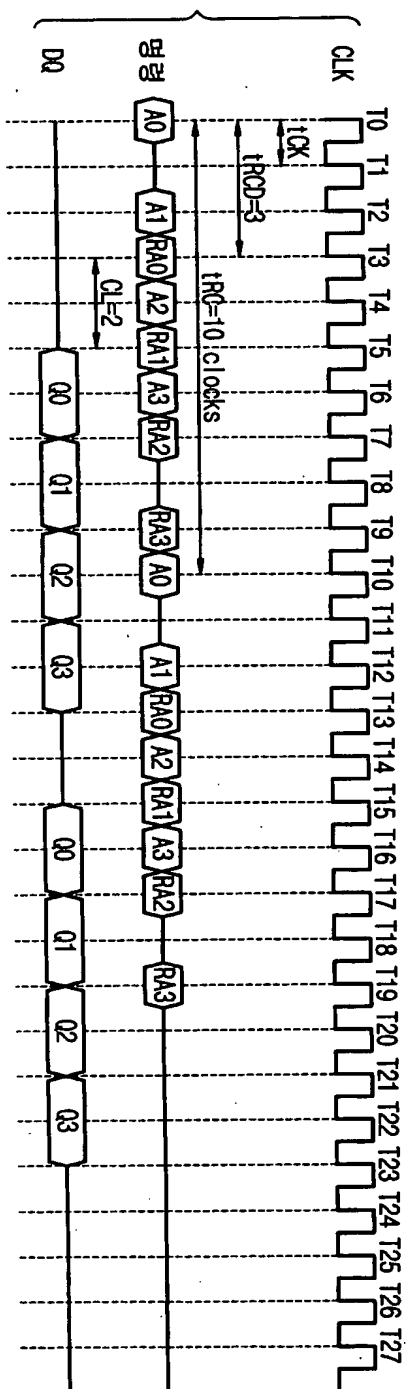
상기 프로그래밍 레지스터는 모드 레지스터 셋인 반도체 메모리 장치.

【도면】

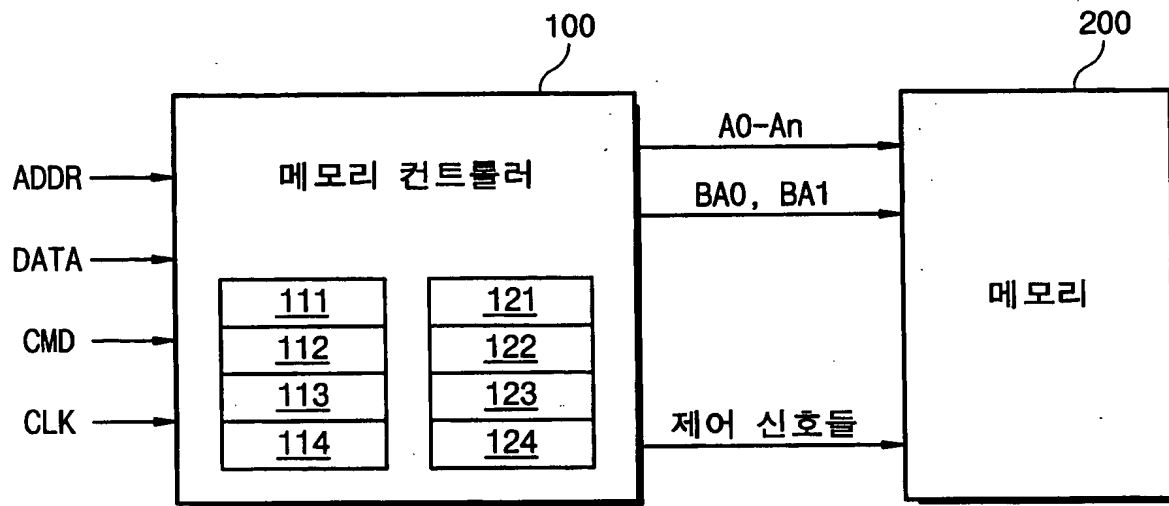
【도 1a】



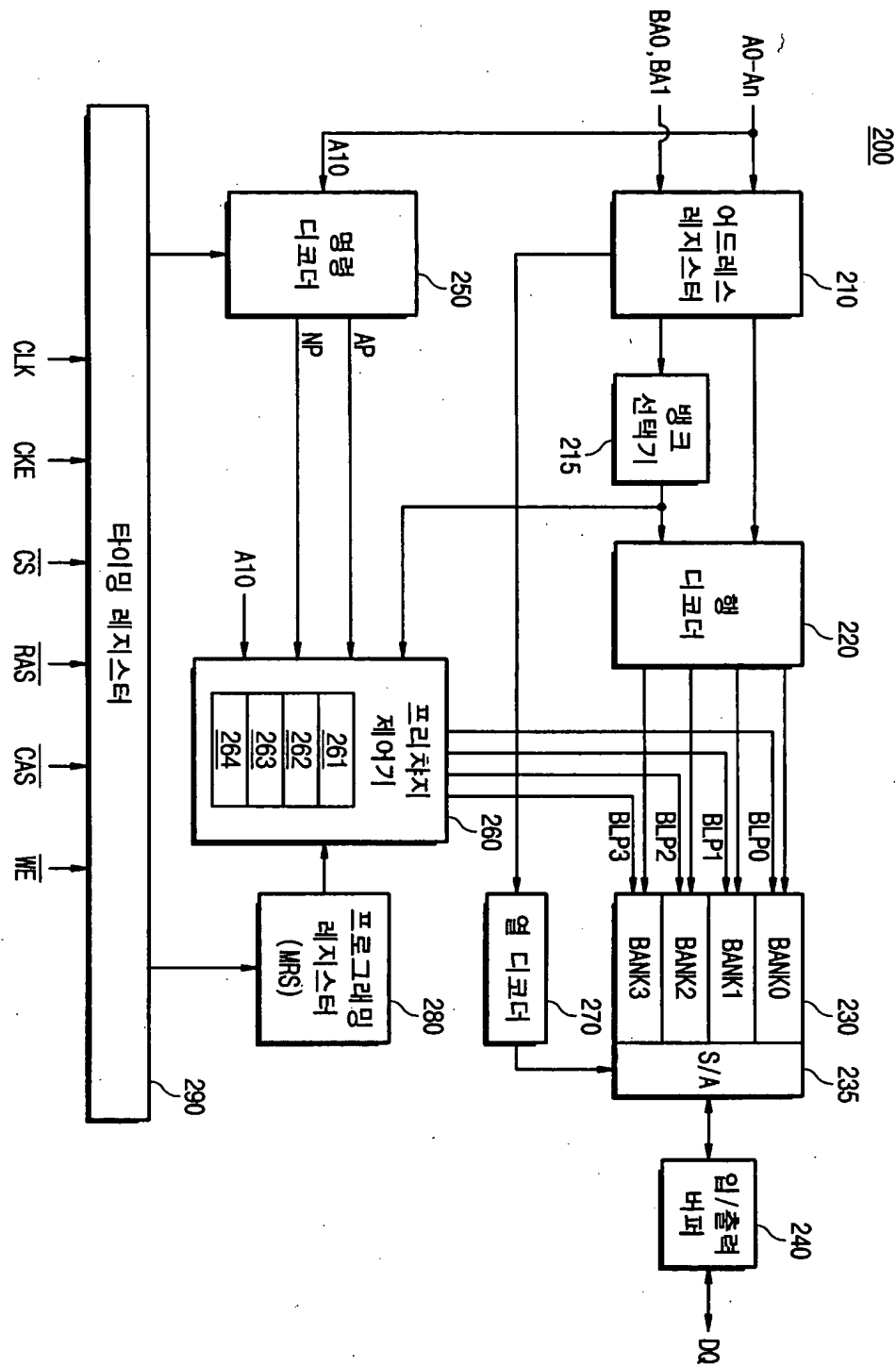
【도 1b】



【도 2】



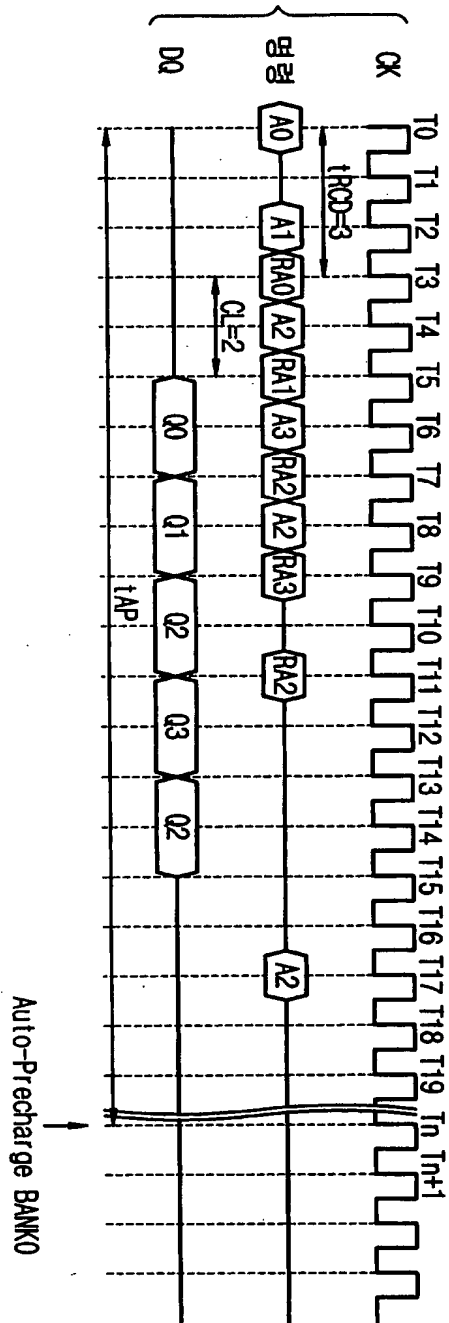
【도 3】



【도 4】



【도 5a】



【도 5b】

